JTAG 测试系统

讲解人： 田雄伟
e-mail：freeman@pwrvalue.com

术语

- JTAG
- Boundary Scan
- IEEE1149.1
- IEEE1149.4
- IEEE1149.6

IEEE1149.7
IEEE1149.8

IEEE1500
IEEE1801
P1838
P1687

JTAG 应用领域

- *. 系统板测试
- *. IC 测试

PCBA 现状和趋势分析

电子组装技术的发展

1. 电子元器件日益向片式化，微小化，复合化，模块化和基板内置化方向发展
2. IC 封装由单一芯片 QFP, GBA 向 CSP晶圆级和系统封装级 (SIP) 发展
3. 无源器件由表面单个器件的贴装发展到由多个无源件集成
4. 封装由 2D 的平面设计到 3D 的立体空间设计的飞跃

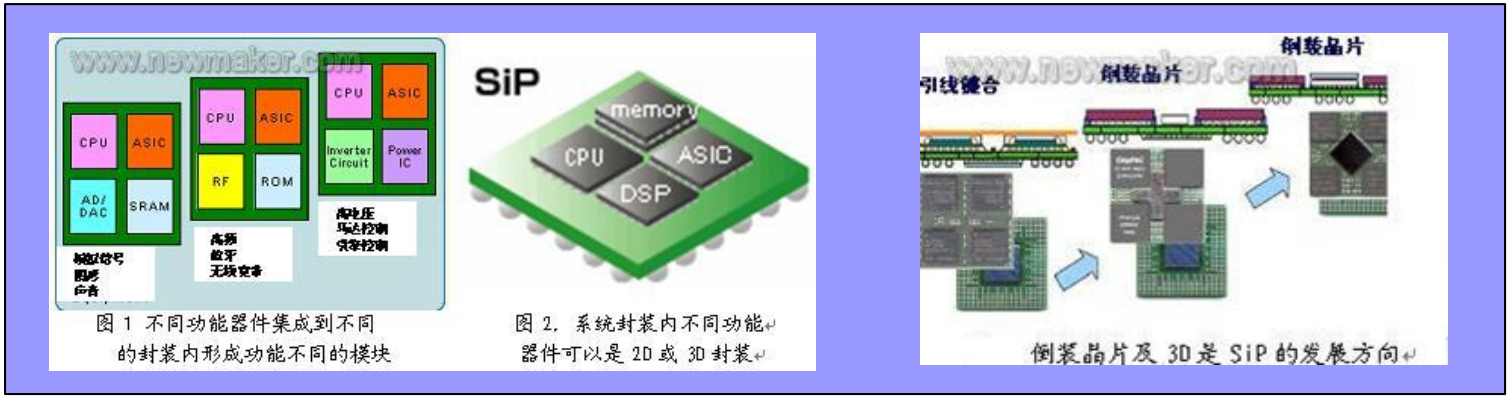


图 1 不同功能器件集成到不同的封装内形成功能不同的模块

图 2. 系统封装内不同功能器件可以是 2D 或 3D 封装

倒装晶片及 3D 是 SiP 的发展方向

- 从而使电路板有原来的单面板，双面板到多层板，柔性板，其线距越来越小，安装密度越来越高

制造错误的总结

- 1. 焊接不良 57%
- 2. 爆板(分层或起泡) 17%
- 3. 漏电 15%
- 4. 孔铜断裂(过孔不良) 7%
- 5. 腐蚀 4%

绝大多数质量问题是有焊点故障引起的，随着PCBA 的小型化，高密集度越来越多传统的测试方法检测定位困难，可观性及可维护性差，甚至不可修复。

目前客户板测试的问题和困难

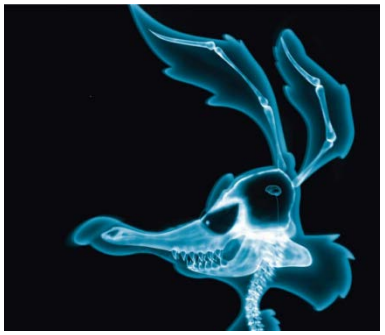
- 1. BGA 焊接制造错误 (开路，短路) 没有办法检测或者检测定位不准确

- 2. 在线编程比较困难
  - 系统需要下载对应的系统

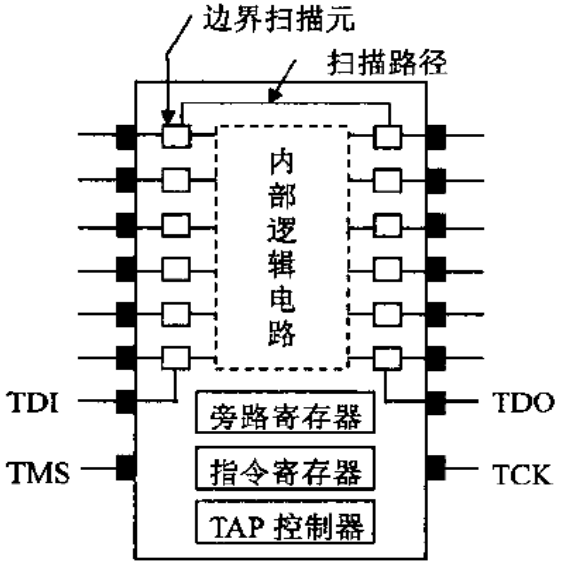
- 3. NPI, 量产和 RMA 阶段需要重复投入测试成本

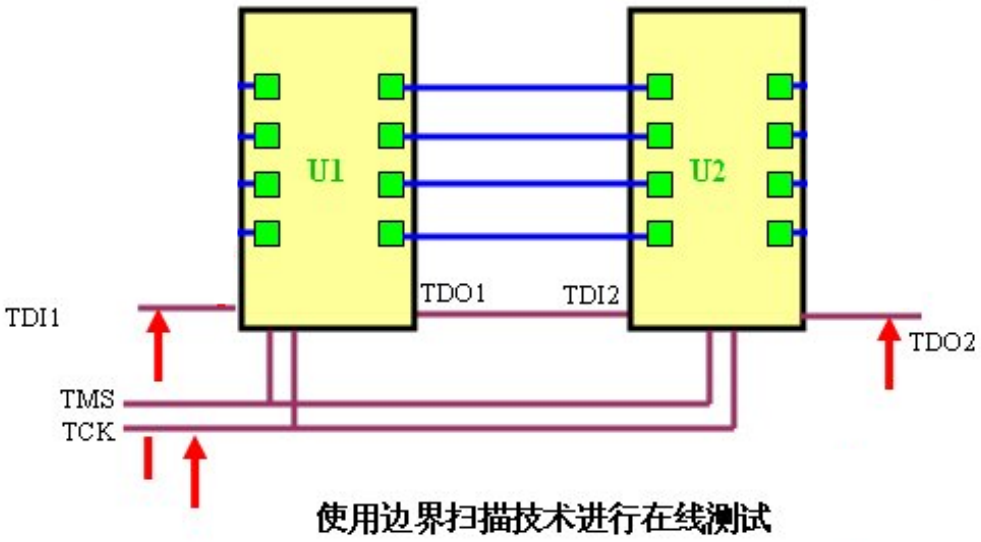
传统的测试技术和检测能力

- 1. AOI - 检查元器件位置和标识，一般做抽检
- 2. X-Ray - 射线扫描，因为焊点内一般都会有气泡，所以很难判断电路的电器性能是否良好
- 3. 飞针 - 需要大量的物理测试点
- 4. ICT - 需要大量的物理测试点
- 5. MDA - 需要大量的物理测试点
- 6. 功能测试 - 需要预先开发编程，在 NPI 阶段很难导入



新的测试技术 - 边界扫描





使用边界扫描技术进行在线测试

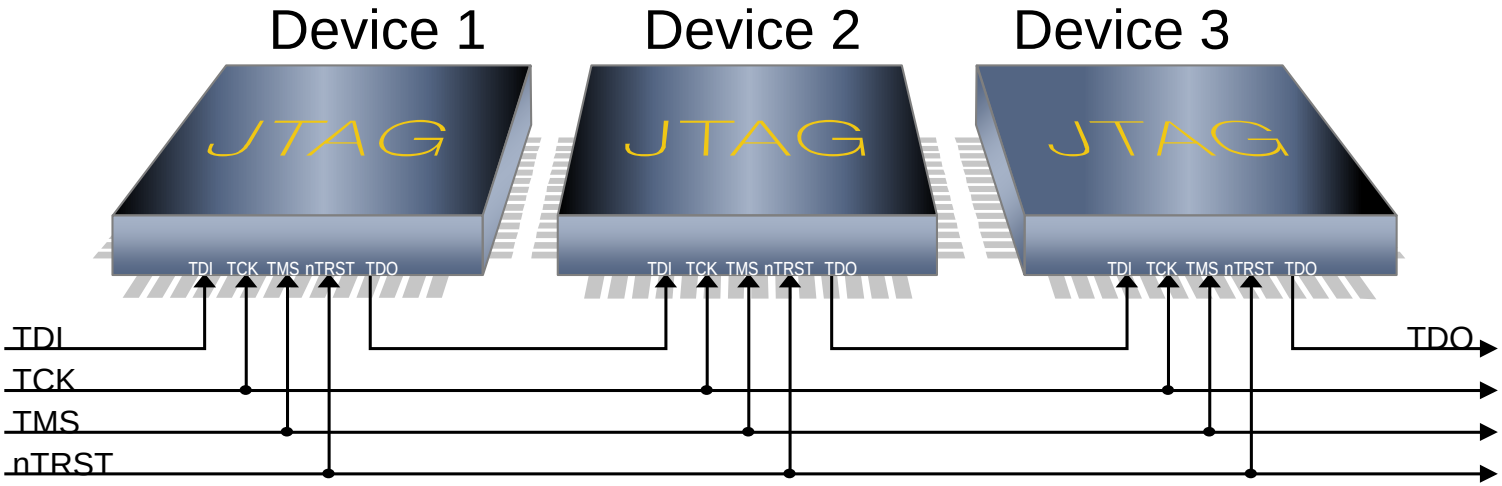
边界扫描技术的起源

- 边界扫描（Boundary Scan）测试发展于上个世纪90年代，随着大规模集成电路的出现，印制电路板制造工艺向小，微，薄发展， 传统的 ICT 测试已经没有办法满足这类产品的测试要求。由于芯片的引脚多，元器件体积小，板的密度特别大，根本没有办法进行下探针测试。一种新的测试技术产生了，联合测试行为组织（Joint Test Action Group）简称JTAG 定义这种新的测试方法即边界扫描测试。

边界扫描的分类

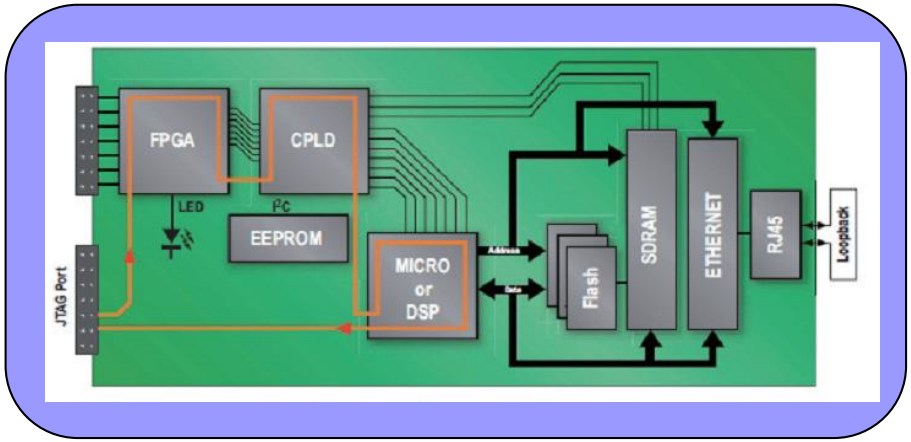
- 最开始 JTAG 边界扫描，又在1990被批准为IEEE 1149.1 标准，主要做数字设计制造误差的检测方法

- 在平行于纯边界扫描工具而发展的方向上，微处理器和 DSP 厂商视 JTAG 端口为进入器件内寄存器的一种简单的方法，不久流行使用 JTAG 访问在他们器件中 OBD（板级调试）和“仿真”特征



边界扫描的优点

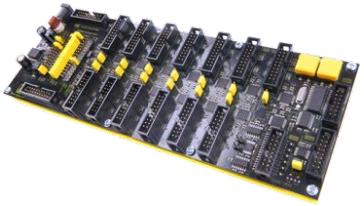
- 1. 通过提供对扫描链的IO的访问，可以消除或极大地减少对电路板上物理测试点的需要，特别是BGA这类无法用探针探测的位置可以使用边界扫描来完成
- 2. 除了可以进行电路板测试之外，边界扫描允许在PCB贴片之后，在电路板上对几乎所有类型的CPLD和闪存进行编程
- 3. 可以在 NPI 阶段导入，在量产和维修沿用 NPI 的测试设备，节约大量成本

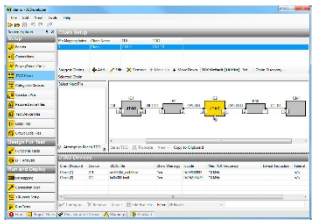


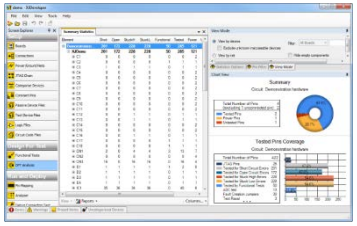
边界扫描产品介绍

边界扫描产品模块

- 开发和生产装备
  - 边界扫描执行硬件 （边界扫描测试机）
  - 测试向量生成软件
  - 序列执行测试向量，收集分析向量结果软件







- 单纯的生产装备
  - 生产序列执行测试向量，搜集分析结果软件
  - 边界扫描执行硬件 （边界扫描测试机）

软件模块的功能

- 开发软件（主要生成测试向量）
  1. 分析边界扫描 IC BSDL文件中的 PIN 属性, 分析NETLIST计算信号的网络拓扑；
  2. 根据网络关系使用 ATPG 软件生成互连测试的向量
  3. 配合自带的 Non-BSCAN 的 Models，生成边界扫描外围器件的测试向量
  4. 生成外部可编程器件的 programming 的向量

软件模块的功能

- 执行软件
  1. 驱动边界扫描硬件，发送和收集数据
  2. 生成测试序列执行
  3. 输出测试序列报告

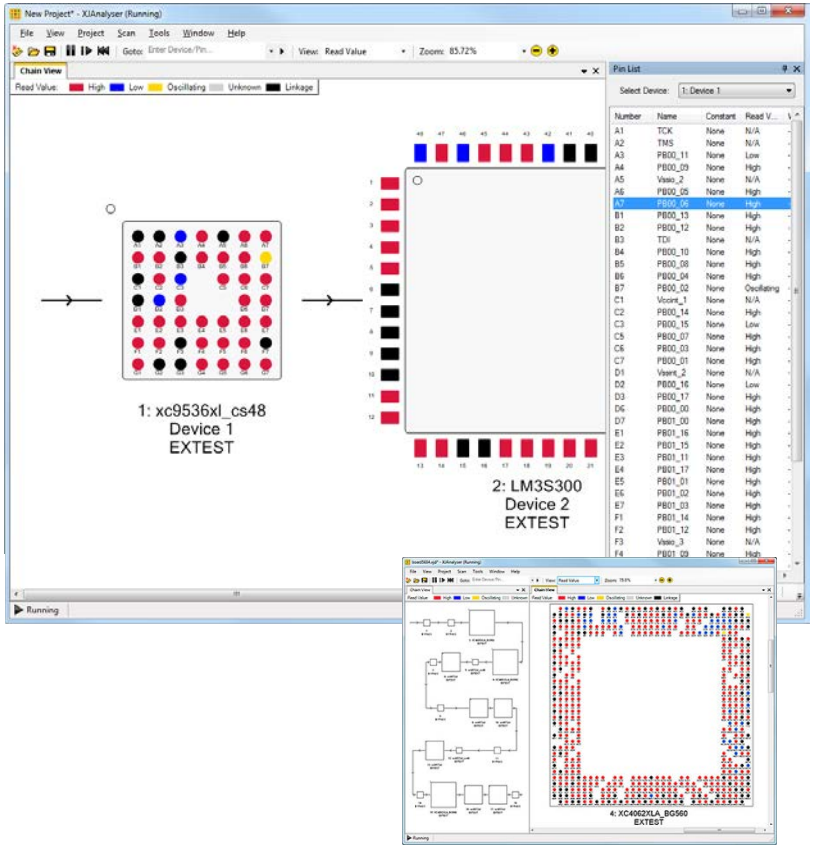
- 诊断软件 (Optional)
  1. 诊断软件，定位错误的 device 和 pin
  2. 应用验证（验证芯片功能，特别是边界扫描相关的调试编程）

给客户带来的帮助

- 测试复杂电路板
- 提高产品质量和可靠性
- 分析失效电路板原因
- 对Flash，CPLD等编程
- 调试FPGA，DSP，CPU

例子：调试FPGA，DSP等芯片

- 直接控制芯片IO管脚的高低电平
- 通过JTAG控制芯片寄存器地址读写
  - 降低芯片编程调试的难度



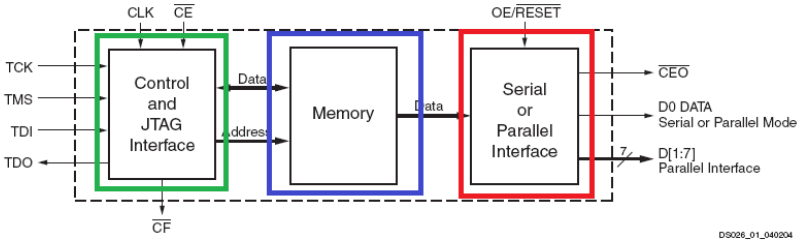


Figure 1: **XC18V00 Series Block Diagram**

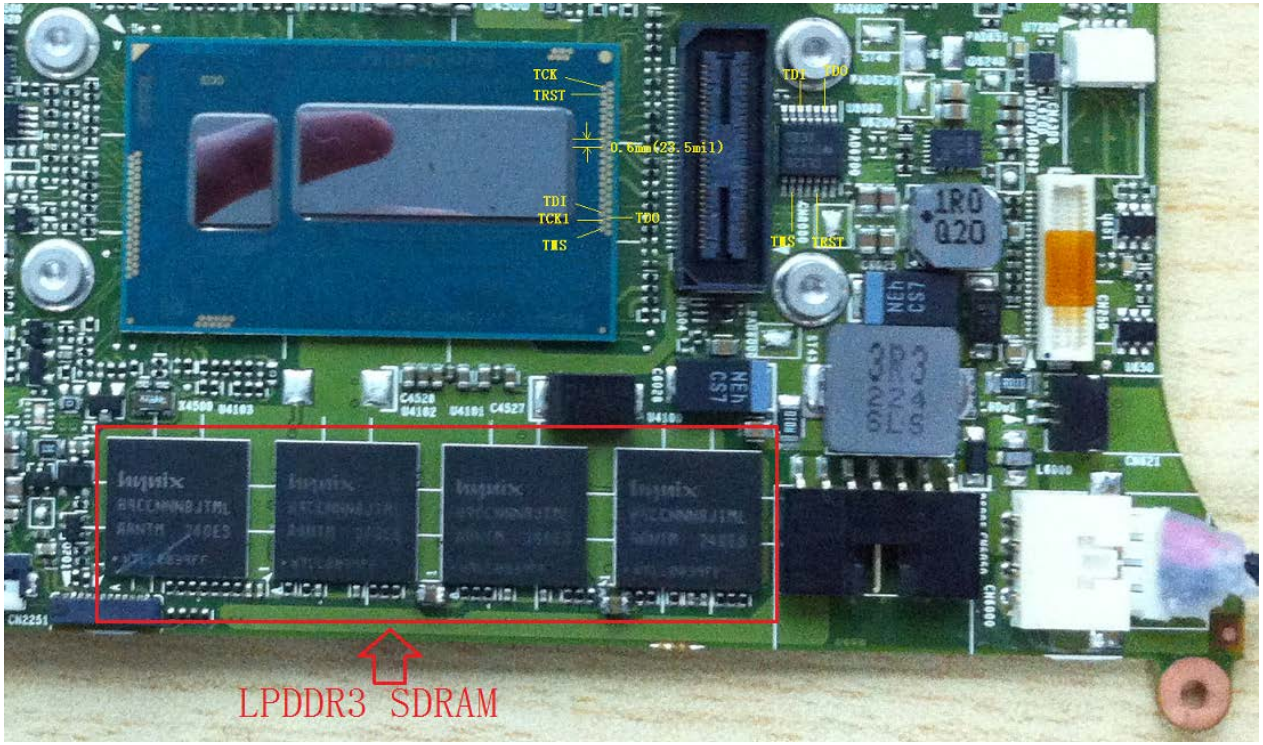
成本效益

一个产品生命周期：

NPI	：1~2年
量产	：3~5年
维修服务(RMA)	：10~15年

边界扫描测试可以从 NPI 一直使用到 RMA，同时可以应用到多个产品上

案例:PC/SERVER



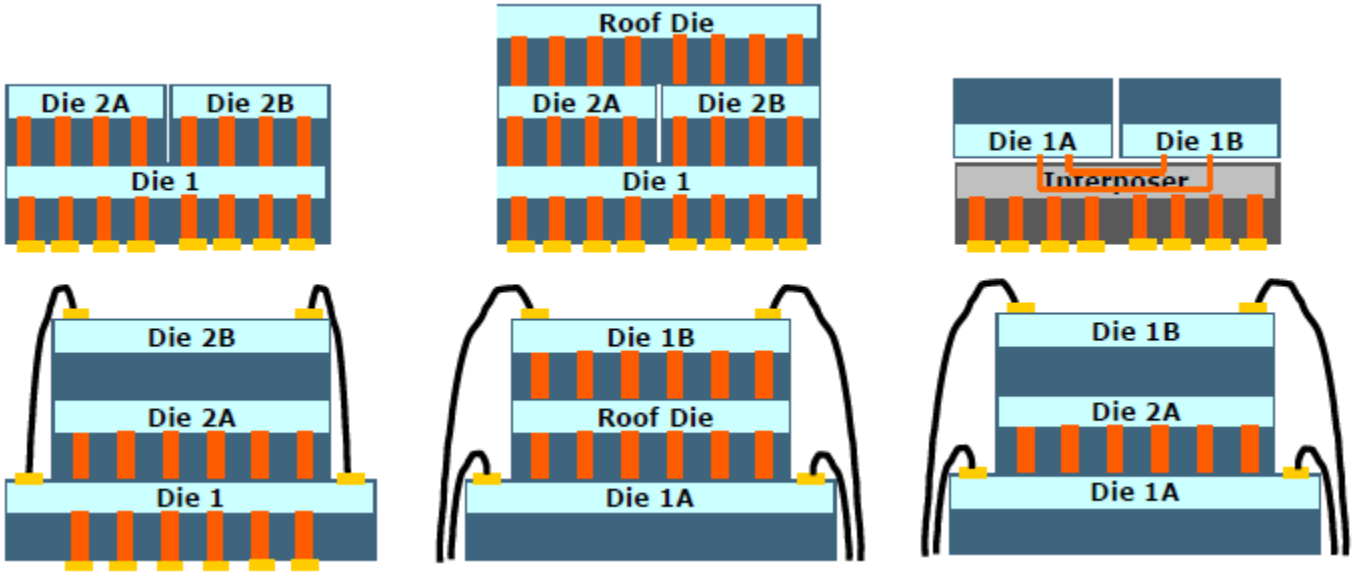
测试项

- 检测PCBA上Intel芯片的指令寄存器, ID CODE;
- 检测Intel芯片之间的连接, 是否存在**开路, 短路, 桥连**, 以及接地接电源的错误;
- 通过模拟**DDR3** SDRAM的功能, 以检测DDR3 SDRAM在焊接上是否存在开路, 短路, 桥连, 以及接地接电源的错误;
- 通过读取Flash Memory的ID CODE,以检测Flash在焊接上是否存在开路, 短路, 桥连, 以及接地接电源的错误;
- 可对Nor Flash, SPI Flash, EEPROM进行**在线编程**, 将需要的Code烧录到相应器件的相应位置, 操作包含Erase, Blank Check, Write, Verify.
- 通过测试真值表, 检测Buffer, 译码器, 各种逻辑元器件的焊接以及功能是否无误;
- 实现**PCI-E, USB3.0, SATA等高速接口的Loop-Back**测试;

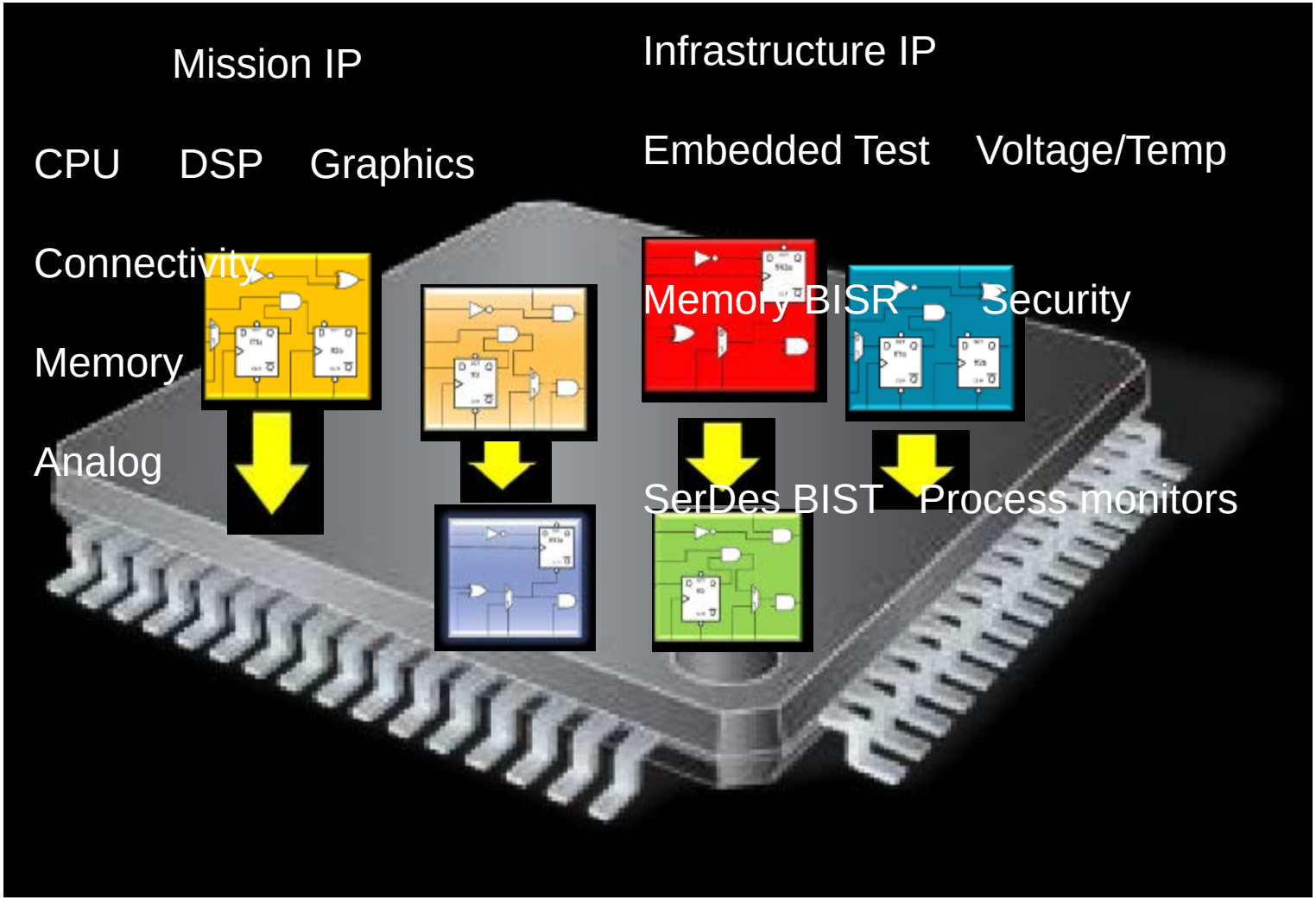
IC 测试领域 – iJTAG

JTAG 发展 - IEEE1149.1 - 2013

- **What is 1149.1-2013 ... and what does it do for the industry**



IEEE 1149.1-2013 Executive Summary
- Standardizes a plug-n-play test interface to on-chip IP



1149.1-2013 adds depth to the other half of the standard

- Standard Test Access Port and Boundary Scan architecture

"Boundary Scan" has always been a misnomer, it's only a part of the standard.

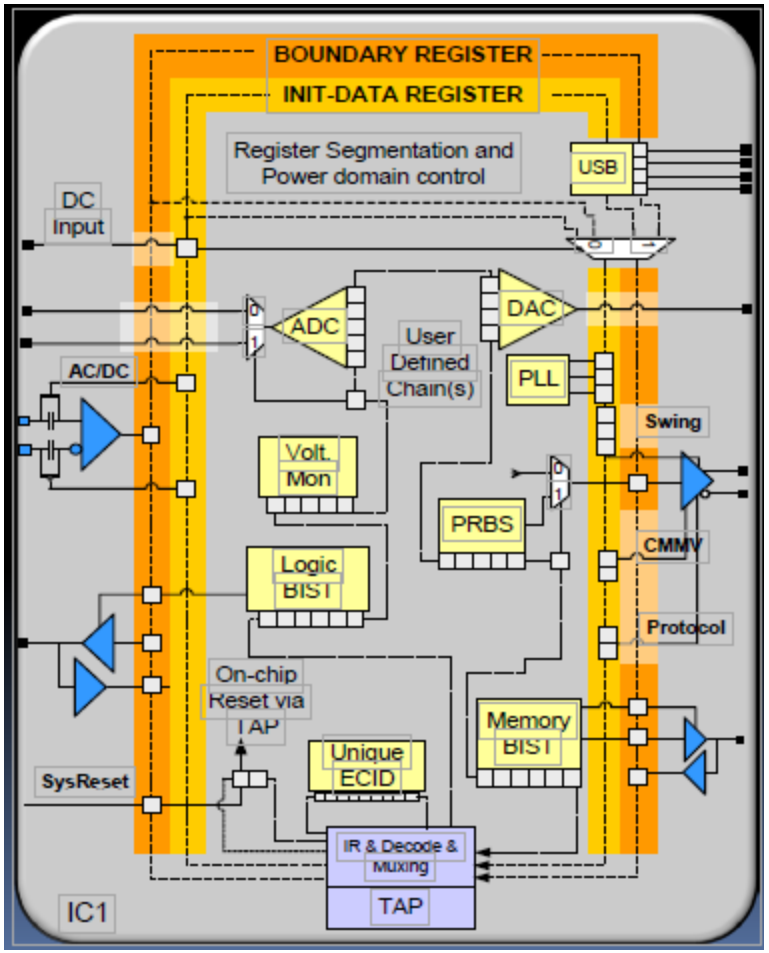
Standardization now available for all internal JTAG registers via the Test Access Port

Hierarchical descriptions of on-chip IP

Hierarchical operational language for On-chip IP

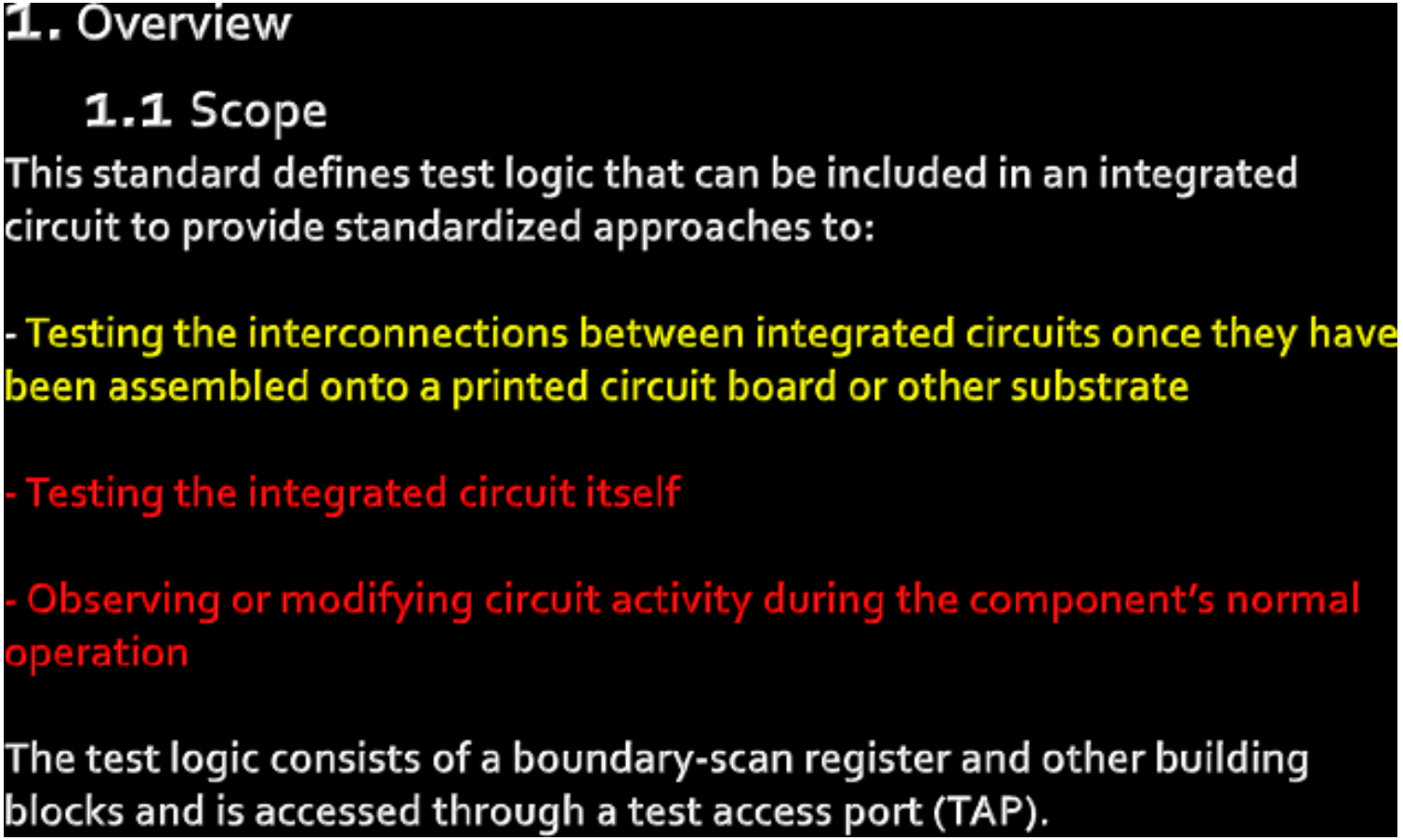
Synergy with IEEE 1500 and IEEE 1801

-re-use popular IEEE 1500 structures
-TDRs can cross power domains



IEEE 1149.1 *is* IJTAG

Just didn't do a good job in BSDL, fixed length TDRs, flat-chip level descriptions - Corrected in 1149.1-2013



IEEE Std. 1149.1-2013 lowers industry costs by enabling test re-use through all phases of the IC life-cycle

- Specifies best practices for Infrastructure IP test interfaces
- Specifies rules for describing IP operation
- Enables one description to be used in all test stages
- Enables defect correlation between system failures and IC ATE

Note: doesn't require production IC test through TAP

IP Validation

IC Test

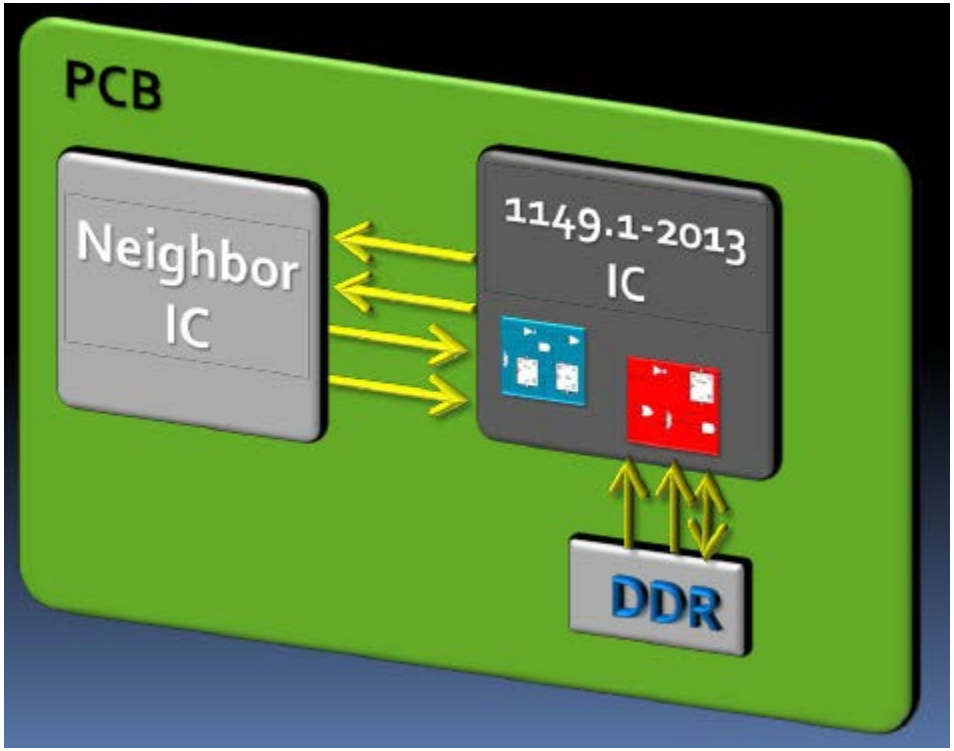
TEST, DEBUG CONFIGURATION Through IEEE Std. 1149.1-2013

Field Test

Board Test

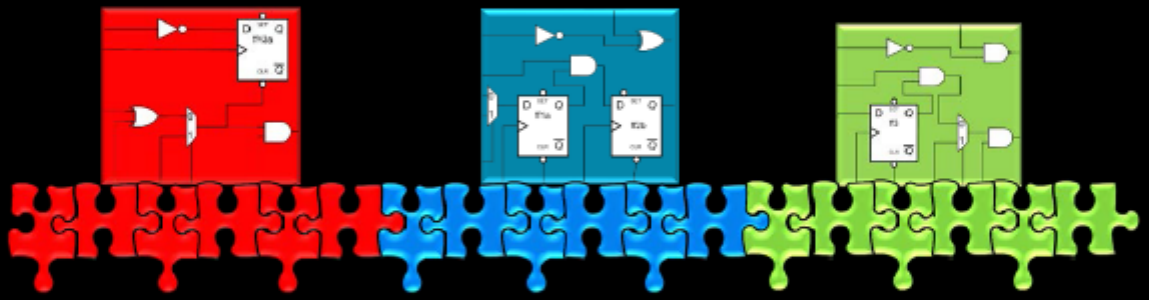
1149.1-2013 enables ecosystem tests

- Test the interactions of the IC with supporting PCB components
- Ecosystem tests - valuable for IC customer/system integrator
- Valuable for IC vendor to exonerate/validate to the customer that the IC is working

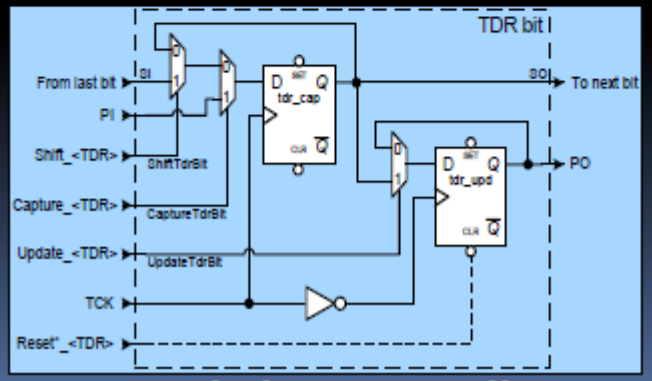


Solution 1149.1-2013 - Make IP interfaces plug-n-play

- **Standardized Test Data Register interface**
- **Standard defined cell types**
- **Each cell plugs into the next cell**
- **Plug-n-play interface**

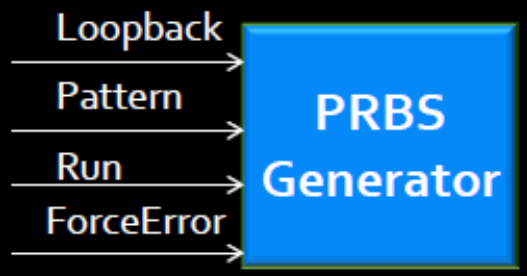


- **Follows IEEE 1500 standard Wrapper Serial Ports**
- **Pre-defined Cell types**
- **User defined cells allowed**



Single bit TDR Cell

1149.1-2013 Solution: Standardize IP documentation



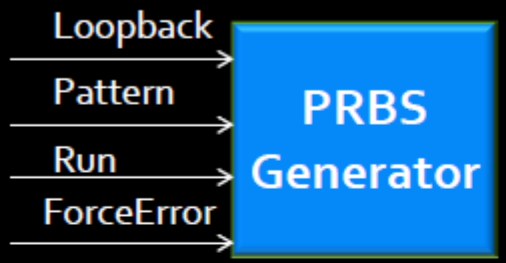
- Describe Interface to IP w/o TAP
- Description is "packaged" in compliant IEEE 1149.1-2013 package file
- Describe just interface + mnemonics
- Machine readable

```
Attribute REGISTER_MNEMONICS of SERPRBS : package is
 "OnGroup       (ON (1), OFF (0)),"  &
 "PatGroup     ( PRBS31(1), PRBS23 (2), PRBS7(3) );"

Attribute REGISTER_FIELDS of SERPRBS : package is
"PRBS [5] ( "&
  "(Loopback   [1] IS (4) DEFAULT(OnGroup(ON))), " &
  "(Pattern    [2] IS (3,2)  DEFAULT(PatGroup(PRBS7)) ), " &
  "(Run        [1] IS (1)    SAFE(OnGroup(OFF)) ), " &
  "(ForceError [1] IS (0)) DEFAULT(OnGroup(OFF)));"
```

PRBS - Pseudo-Random Bitstream Sequence

1149.1-2013 Solution: Standardize IP documentation



Procedural Description Language

- **new vectorless re-targetable language for describing IP operation**

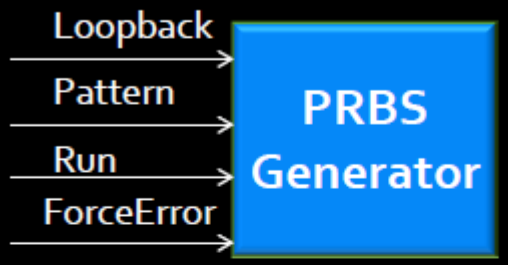
Set data

Shift data

```
iWrite Loopback   ON
iWrite Pattern    PRBS23
iWrite Run        ON
iWrite ForceError OFF
iApply
```

Format: <iWrite > <Register> <value or mnemonic>

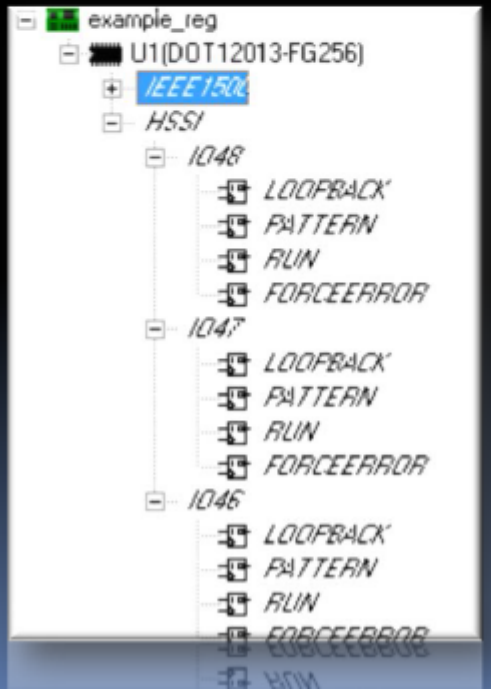
1149.1-2013 Solution: Standardize IP documentation

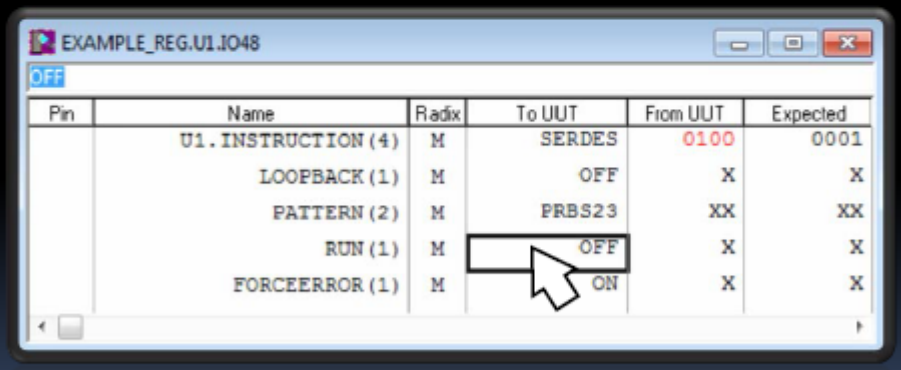


Tools read IP package file hierarchy
And integrate with top level IC

1149.1-2013 <info tag> specifically provided for interactive operation of internal JTAG registers

Any instance of any IP can be accessed within the IC hierarchy





Tools re-target register access for the user

PRBS Generator

Package SERPRBS

```
iWrite Loopback ON
```

HSSI

IO(48) IO(47)

PRBS Generator

PRBS Generator

Package SERPRBS
Package HSSI

Tool converts to:

```
iWrite HSSI.IO(48).Loopback 1
```

Package SERPRBS
Package HSSI
IC BSDL

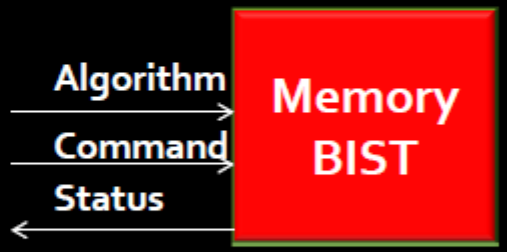
Tool converts to:

```
iWrite U1.HSSI.IO(48).Loopback 1
```

1149.1-2013 Solution: Standardize IP documentation

Memory BIST example "IP package"

```
attribute REGISTER_MNEMONICS of MEMB : package is
 "Mode (chkbrd    (0B000) <Checkerboard>, "&
 "      GalPat    (0B010) <GALPAT >, " &
 "      MATS+     (0B101) < March Algorithm >, "&
 "      MOVI      (0B110) < Moving Invert >, "&
 "      March_C-  (0B111) < Unlinked CFins >), "&
 "Run  (Start     (1),   " &
 "      Stop      (0) ), " &
 "Result (Pass      (0B11), " &
 "        Fail      (0B01), " &
 "        Not_Done (0BX0))";
```




```
attribute REGISTER_FIELDS of MEMB : package is
"MBist [6]( "&
 "( Algorithm[3] IS (5 DOWNTO 3) DEFAULT(Mode (Walk1)) NOUPD ),"&
 "( Command  [1] IS (2)          DEFAULT(Run  (Stop )) ), "&
 "( Status   [2] IS (1 DOWNTO 0) CAPTURES(Result(Pass )) ) )";
```

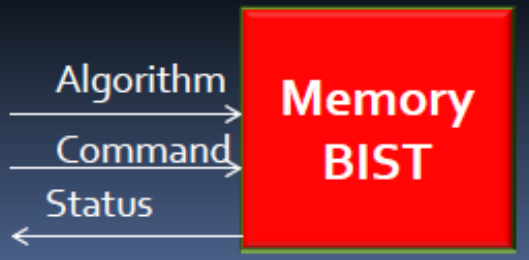
BIST = Built-in Self Test

1149.1-2013 Solution: Standardize IP documentation

PDL Description of how to operate MemoryBIST IP
Memory_bist procedure takes Algorithm and clock source

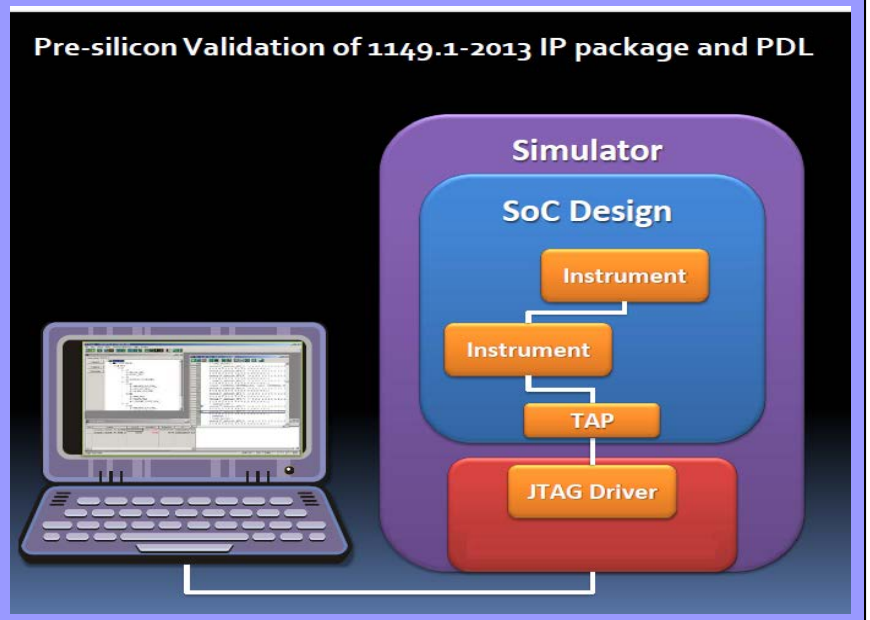
```
# MEMB.pdl
iPDLLevel 0 -version STD_1149_1_2013
iProcGroup MEMB
iProc memory_bist {alg clk} {

   iWrite Algorithm $alg
   iWrite Command   Start
   iApply
   iRunLoop 10000 -sck $clk
   iRead Status Pass
   iApply }
```



JTAG + Instrument IC Test System

IC 测试系统 – 可以在前期做验证，Troubleshooting，RMA



总结

- IEEE公布了更新版的 IEEE 1149.1-2013 「测试存取埠与边界扫描架构标准(Standardfor Test Access Port and Boundary-Scan Architecture)」，也就是由产业界熟知的 JTAG (Joint Test Action Group) 所负责管辖的标准；新版标准旨在藉由透过利用独立于各家供应商、阶层式的测试语言(hierarchicaltest languages)，实现横跨整个IC生命周期阶段的测试重复使用(test re-use)，为电子产业界大幅降低成本。

- IEEE 1149.1 标准最初是在2001诞生，新版标准可让关键领域的矽智财(IP)专门技术──例如如何配置一个回反测试(loopbacktesting)应用的串行/解串器(serializer/deserializer，SERDES)──转换成IP设计者与 IC设计者、印刷电路板(PCB)设计工程师、测试工程师都能用电脑读取的格式，为整个供应链都带来成本节约的效应。

  IEEE 1149.1-2013估计可为电子产业界带来的成本节约效应高达数十亿美元，该标准定义了一个新的阶层式程序定义语言(ProceduralDefinition Language，PDL)──是一种以Tcl为基础的标准测试语言，阶层扩展至原始边界扫描叙述语言(BoundaryScan Description Language，BSDL)，描述晶片上的IP测试资料暂存器(dataregister)。

  此外有几个新的IC指令级选项，为板级测试的配置I/O提供基础，可减缓在电路板等级重复测试IC时可能出现的假性故障(false failures)，并透过电子晶片识别码(Electronic Chip ID)回溯关联至晶圆级测试结果。

  现在，IP供应商能将IP测试介面以及如何运作IP的方法，以类似英文的语言建档，而且所有的IC都只需要做一次，然后在IC与电路板等级以软体工具重新指向(re-target)以上文件以进行测试；总之在新版的IEEE 1149.1中，工作小组聚焦于两大重点：一是藉由新的PDL语言降低产业界成本，二是在IC的整个生命周期支援测试重复使用。

  IEEE 1149.1-2013也提供与其他两项重要产业标准的关键偕同效应，一是支援IEEE1801-2013 「低功耗IC测试与验证标准(Standard for Design and Verification of LowPower Integrated Circuits)」所规范的跨电源域分段式(segmented)晶片上测试资料暂存器。

  其二是IEEE 1149.1-2013让IP的描述与运作符合IEEE 1500-2005「以嵌入式核心为基础的IC可测试性方法标准(StandardTestability Method for Embedded Core-based Integrated Circuits)」所规范的架构。此外，新标准也加入了对IEEE 1500 Wrapper Serial Ports的支援。

Thanks